

4.2V~18V 入力、 2A 1ch 同期整流 降圧 DC/DC コンバータ

BD9328EFJ

概要

BD9328EFJ は、低 ON 抵抗のパワー-MOSFET を 1chip に内蔵した同期整流降圧 DC/DC コンバータです。広い入力電圧範囲を持ち、約 2A の電流を連続で出力可能です。少ない外付部品点数で構成でき、コストを抑えます。電流モード制御 DC/DC コンバータのため高速な応答性能を持ち、位相補償も簡単です。

特長

- 低 ESR セラミックキャパシタ対応
- 低スタンバイ電流
- 動作周波数 380kHz
- フィードバック電圧
 - $0.9V \pm 1.5\%$ ($T_a=25^\circ C$)
 - $0.9V \pm 2.0\%$ ($T_a=-25^\circ C \sim +85^\circ C$)
- 保護回路
 - 低電圧誤作動防止回路
 - 温度保護回路
 - 過電流保護回路

用途

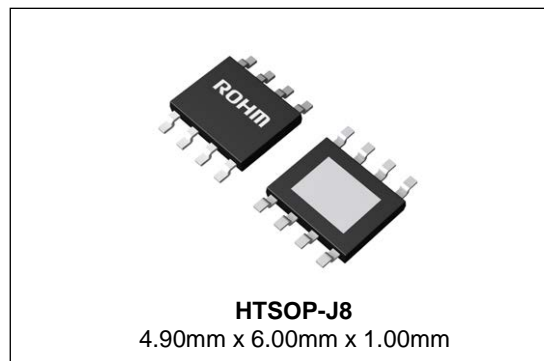
各種 2 次電源用途
POL 用途、液晶 TV システム、BD・DVD システム、DSL and Cable モデム、セットトップボックス等

重要特性

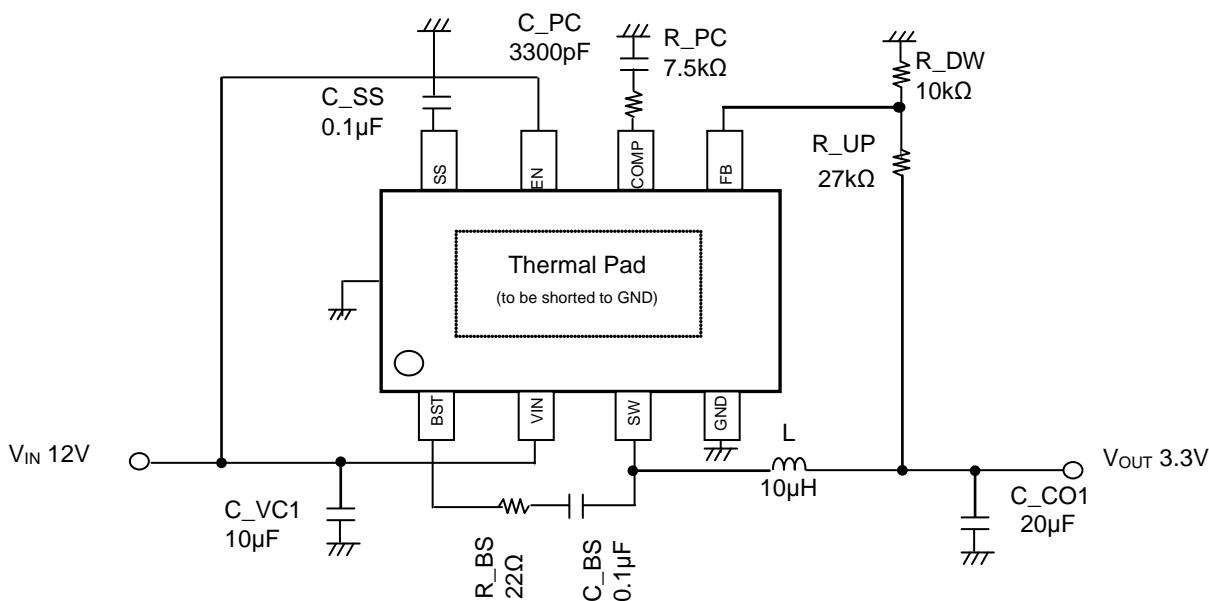
- 入力電圧範囲: 4.2V~18V
- 出力電圧範囲: $0.9V \sim (V_{IN} \times 0.7)V$
- 出力電流: 2A (Max)
- スイッチング周波数: 380kHz(Typ)
- Hi-Side FET ON 抵抗: 0.15Ω (Typ)
- Lo-Side FET ON 抵抗: 0.13Ω (Typ)
- スタンバイ電流: $15\mu A$ (Typ)
- 動作温度範囲: $-40^\circ C \sim +85^\circ C$

パッケージ

W (Typ) D (Typ) H (Max)



基本アプリケーション回路



R_BS は VIN-BST ショート破壊対策が必要な場合に接続ください

Figure 1. アプリケーション回路例

端子配置図

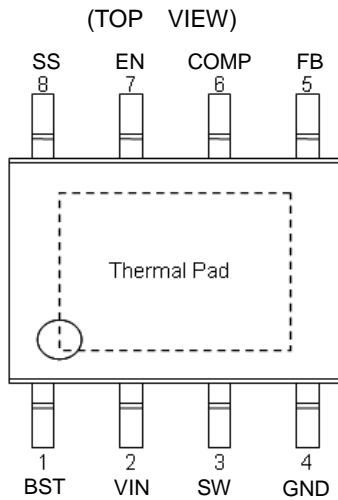


Figure 2. 端子配置図

ブロック図

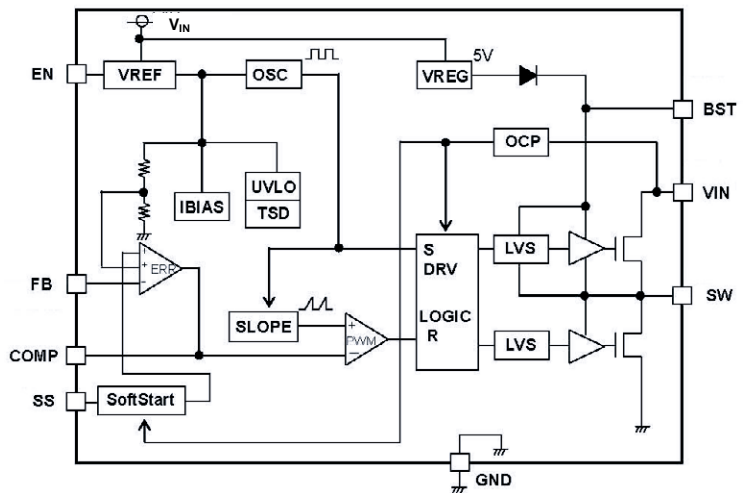


Figure 3. ブロック図

端子説明

Pin No.	端子名	端子機能
1	BST	ブートストラップ用容量接続端子
2	VIN	電源入力端子
3	SW	スイッチ端子
4	GND	接地端子
5	FB	フィードバック入力端子
6	COMP	エラーアンプ出力端子
7	EN	イネーブル入力端子
8	SS	ソフトスタート時間設定端子

絶対最大定格(Ta = 25°C)

項目	記号	定格	単位
電源電圧	V _{IN}	20	V
SW 端子電圧	V _{SW}	20	V
許容損失	P _d	3.76 ^(Note 1)	W
熱抵抗 θ_{ja} ^(Note 2)	θ_{ja}	29.27	°C/W
熱抵抗 θ_{jc} ^(Note 2)	θ_{jc}	3.75	°C/W
動作温度範囲	Topr	-40~+85	°C
保存温度範囲	Tstg	-55~+150	°C
最高接合動作温度	Tjmax	150	°C
BST 端子電圧	V _{BST}	V _{SW} +7	V
EN 端子電圧	V _{EN}	20	V
その他の端子	V _{OTH}	20	V

(Note 1) Ta=25°C 以上は、30.08mW/°C で軽減。70 x 70 x 1.6mm 4 層ガラエポ基板実装時。

(Note 2) 50mm x 30mm x 1.6mm 4 層ガラエポ アプリケーション基盤実装時

注意：印加電圧及び動作温度範囲などの絶対最大定格を超えた場合は、劣化または破壊に至る可能性があります。また、ショートモードもしくはオープンモードなど、破壊状態を想定できません。絶対最大定格を超えるような特殊モードが想定される場合、ヒューズなど物理的な安全対策を施して頂けると幸いです。

推奨動作条件(Ta= -40~+85°C)

項目	記号	定格			単位
		最小	標準	最大	
電源電圧	V _{IN}	4.2	12	18	V
SW 端子電圧	V _{SW}	-0.5	-	+18	V
出力電流	I _{SW3}	-	-	2	A
出力電圧設定範囲	V _{RANGE}	0.9	-	V _{IN} x 0.7	V

電気的特性(特に指定のない限り V_{IN}=12V Ta=25°C)

項目	記号	規格値			単位	条件
		最小	標準	最大		
エラーアンプブロック						
FB 入力バイアス電流	I _{FB}	-	0.02	2	μA	
フィードバック電圧 1	V _{FB1}	0.886	0.900	0.914	V	Voltage Follower
フィードバック電圧 2	V _{FB2}	0.882	0.900	0.918	V	Ta=-25°C~+85°C
SW ブロック						
上側パワー-MOSFET ON 抵抗	R _{ONH}	-	0.15	-	Ω	I _{SW} = -0.8A
下側パワー-MOSFET ON 抵抗	R _{ONL}	-	0.13	-	Ω	I _{SW} = 0.8A
パワー-MOSFET リーク電流	I _{LEAKN}	-	0	10	μA	V _{IN} = 18V, V _{SW} = 0V / 18V
スイッチ電流制限値	I _{LIMIT3}	3	-	-	A	
最大 DUTY 比	M _{DUTY}	-	90	-	%	V _{FB} = 0V
他ブロック						
EN シンク電流	I _{EN}	90	180	270	μA	V _{EN} = 12V
EN スレッシュホールド電圧	V _{EN}	1.0	1.2	1.4	V	
低電圧誤動作保護回路スレッシュホールド	V _{UVLO}	3.5	3.75	4.0	V	V _{IN} Rising
低電圧誤動作保護回路ヒステリシス	V _{HYS}	-	0.3	-	V	
SS 端子充電電流	I _{SS}	5	10	15	μA	V _{SS} = 0 V
ソフトスタート時間	t _{SS}	-	22	-	ms	C _{SS} = 0.1 μF
動作周波数	f _{OSC}	300	380	460	kHz	
回路電流	I _{CC}	-	1.2	3	mA	V _{FB} = 1.5V, V _{EN} = 12V
スタンバイ電流	I _{QUI}	-	15	27	μA	V _{EN} = 0V

特性データ (参考データ)

(特に指定のない限り、 $V_{IN} = 12V$ $T_a = 25^\circ C$)

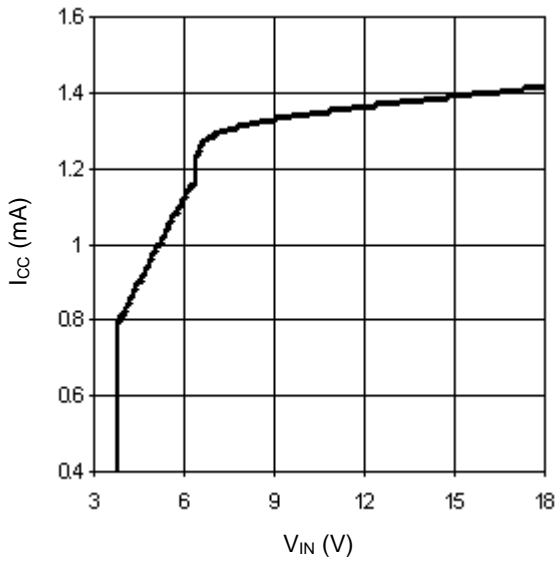


Figure 4. Circuit Current vs Input Voltage (No Switching)

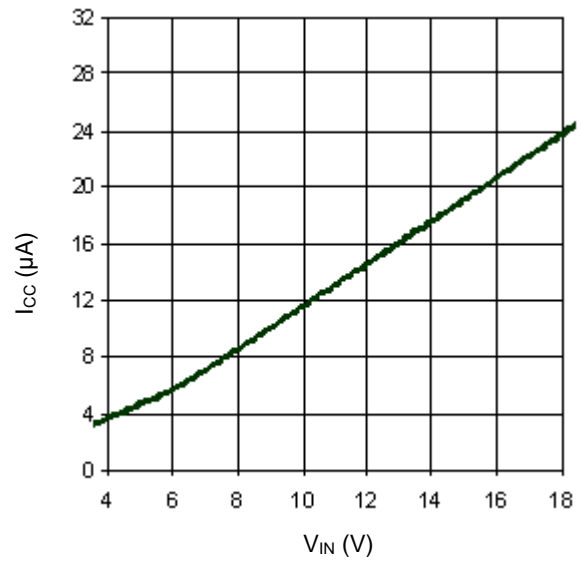


Figure 5. Standby Current vs Input Voltage (Shutdown Mode)

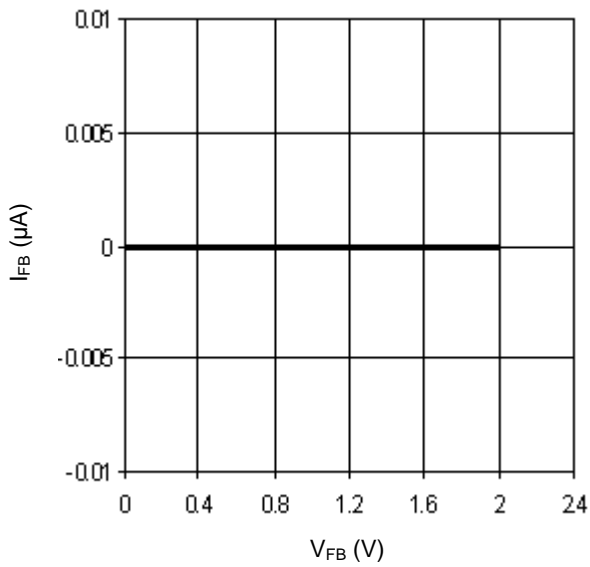


Figure 6. Input Bias Current vs Feedback Voltage

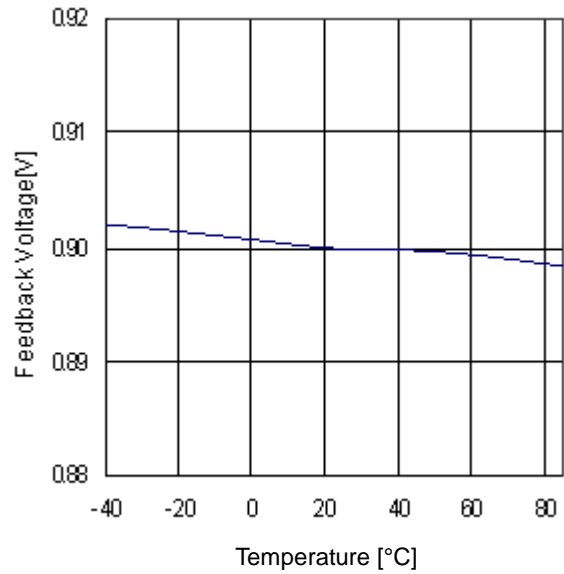


Figure 7. Feedback Voltage vs Temperature

特性データ（参考データ）－ 続き

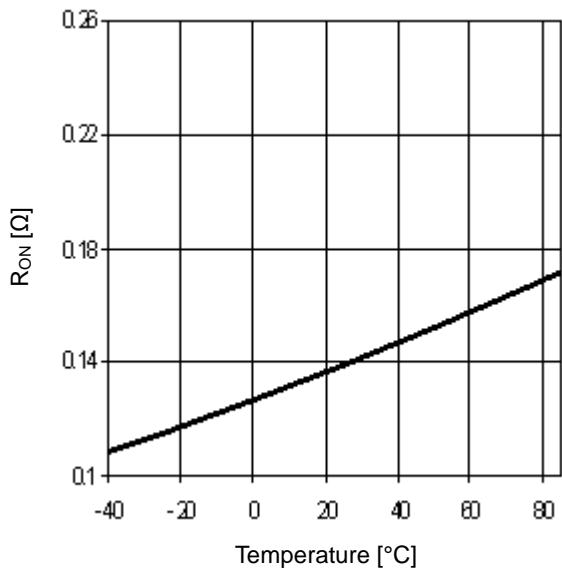


Figure 8. Hi-Side, Low-Side FET ON-Resistance vs Temperature

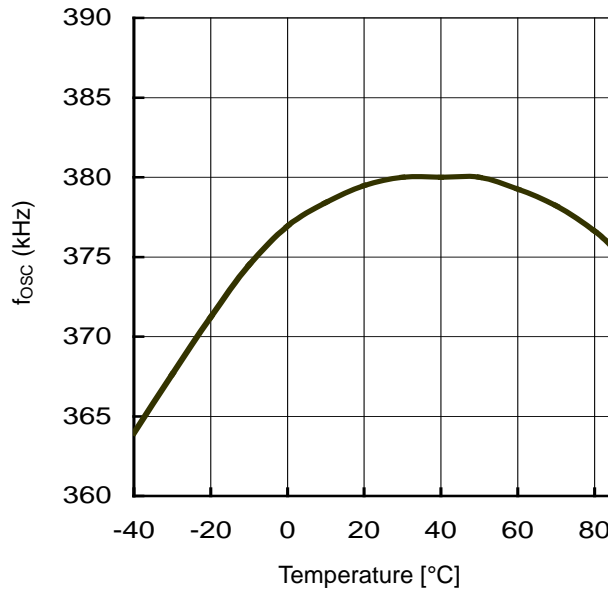


Figure 9. Operating Frequency vs Temperature

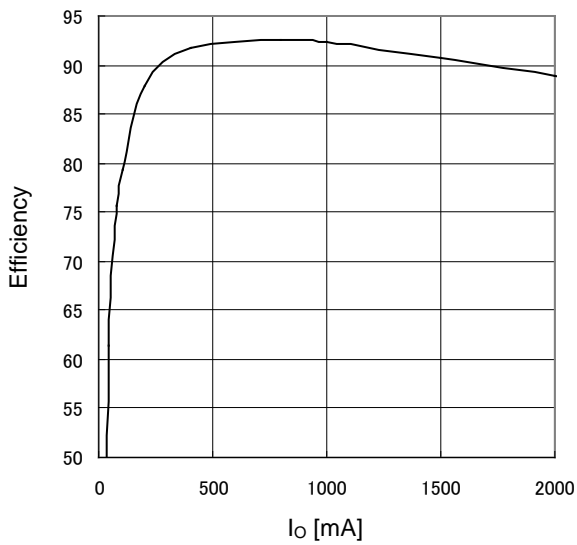


Figure 10. STEP-Down Efficiency vs I_o
(V_{IN}= 12V V_{OUT}= 3.3V L=10μH)

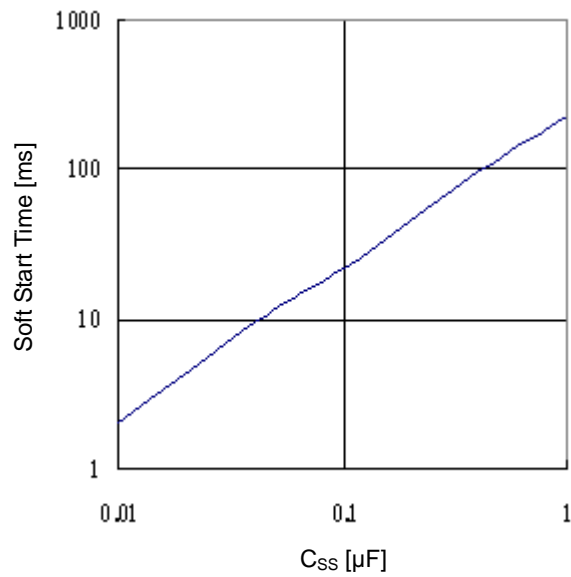


Figure 11. Soft Start Time vs Soft Start Capacitor

波形データ

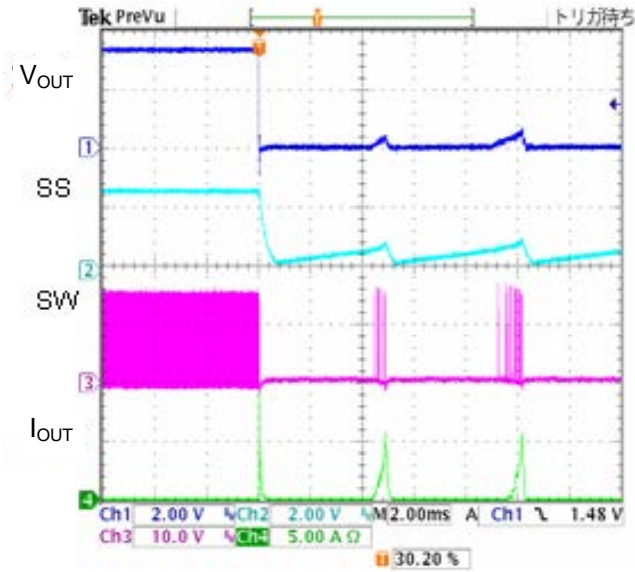


Figure 12. Over Current Protection
(V_{OUT} is shorted to GND)

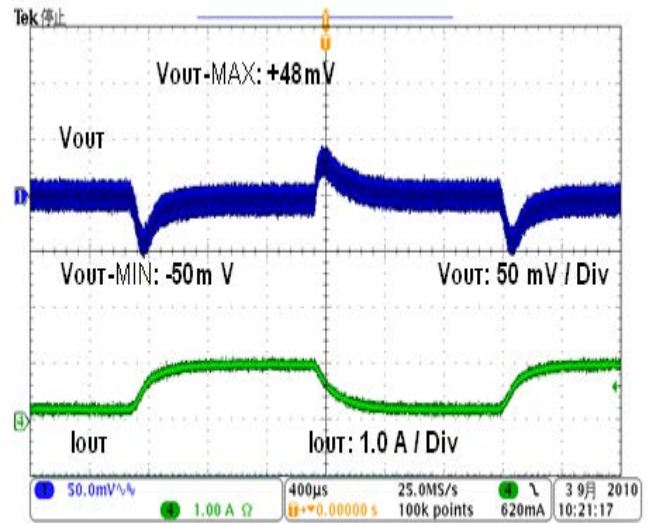


Figure 13. Transient Response
($V_{IN}=12V$ $V_{OUT}=3.3V$ $L=10\mu H$ $C_{OUT}=20\mu F$ $I_{OUT}=0.2-1.0A$)

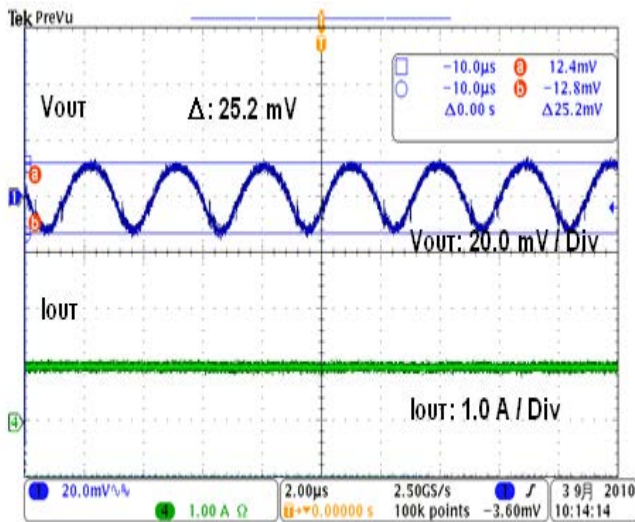


Figure 14. Output Ripple Voltage
($V_{IN}=12V$ $V_{OUT}=3.3V$ $L=10\mu H$ $C_{OUT}=20\mu F$ $I_{OUT}=1.0A$)

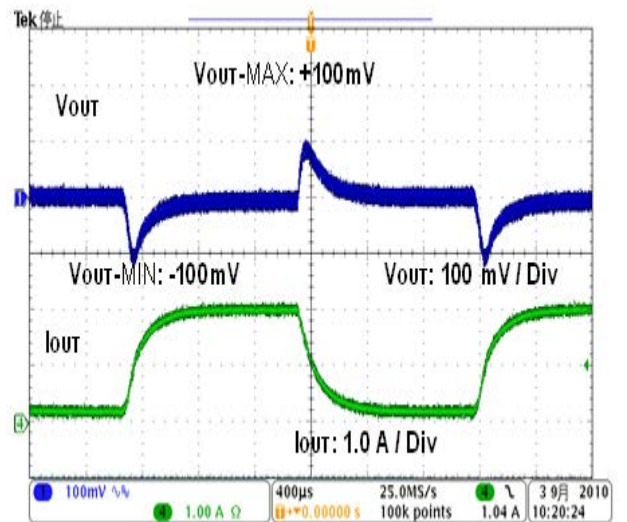


Figure 15. Transient Response
($V_{IN}=12V$ $V_{OUT}=3.3V$ $L=10\mu H$ $C_{OUT}=20\mu F$ $I_{OUT}=0.2-2.0A$)

波形データ - 続き

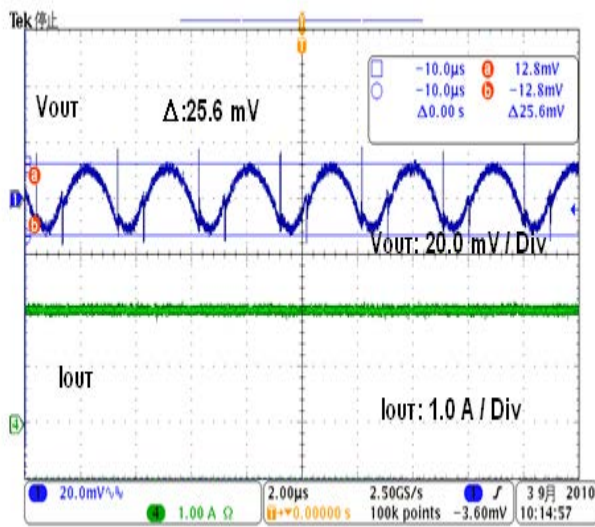


Figure 16. Output Ripple Voltage
 (V_{IN}= 12V V_{OUT}= 3.3V L= 10μH C_{OUT}=20μF I_{OUT}= 2.0A)

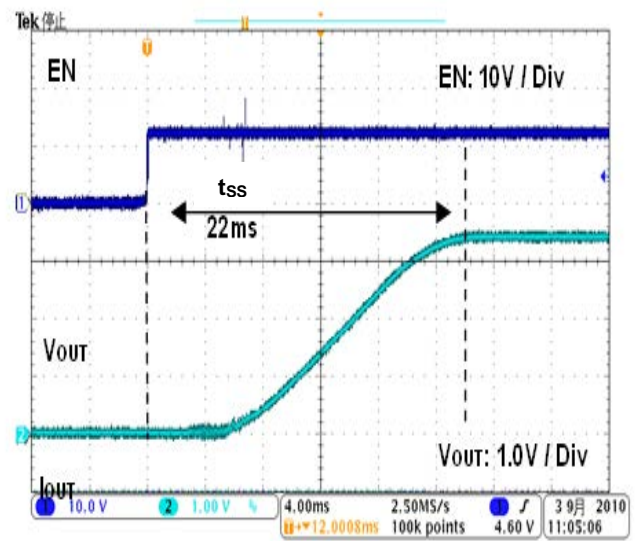
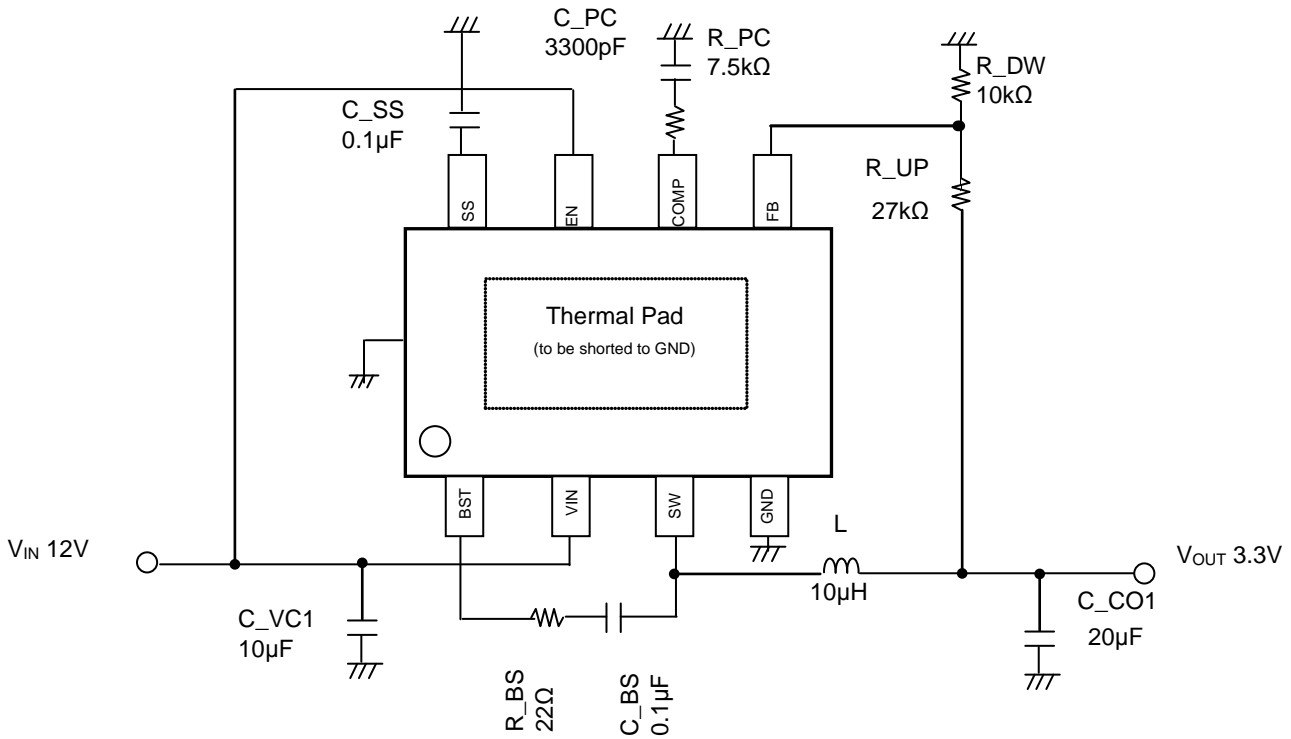


Figure 17. Start-Up Waveform
 (V_{IN}= 12V V_{OUT}= 3.3V L= 10μH C_{SS}= 0.1μF)

アプリケーションヒント

1. 推奨アプリケーション回路図



R_BSはVIN-BSTショート破壊対策が必要な場合に接続ください。

Figure 18. スイッチアプリケーション回路例

	記号	メーカー	型番	
入力キャパシタ	C_VC1	TDK	C3225JB1E106K	10µF/25V
出力キャパシタ	C_CO1	TDK	C3216JB1C106M	10µF/16V
インダクタ	L	TDK	SLF10165-100M3R8	10µH/3.8A

2. 各ブロック動作説明

- (1) VREG
DC/DC ブースト用定電圧を生成するブロックです。
- (2) VREF
5.1V(TYP)の内部基準電圧を生成するブロックです。
- (3) TSD/UVLO
熱保護/低電圧誤動作防止/保護ブロックです。熱保護回路は IC 内部 175°C (TYP)でシャットダウンします。
低電圧誤動作防止保護は V_{IN} が 3.45V(TYP)以下で IC をシャットダウンさせます。
- (4) 誤差増幅器部(ERR)
基準電圧と出力電圧のフィードバック電圧を比較する回路です。
この比較結果 COMP 端子電圧により、スイッチング Duty が決定されます。
また、起動時は SS 端子電圧によりソフトスタートがかかるため、COMP 端子電圧は SS 端子電圧に制限されます。
- (5) 発振器部(OSC)
発振周波数を発生するブロックです。
- (6) SLOPE 部
OSC にて生成されたクロックから三角波を生成するブロックです。発生した三角波を PWM コンパレータへ送ります。
- (7) PWM 部
誤差増幅器の出力 COMP 端子電圧と、SLOPE 部の三角波を比較し、スイッチング Duty を決定します。
スイッチング Duty は内部で決定された最大デューティ比にて制限され 100%にはなりません。
- (8) DRV 部
DC/DC ドライバブロックです。PWM からの信号を入力しパワーFET をドライブします。
- (9) CURRENT SENSE
パワーFET に流れた電流を CURRENT SENSE にて電圧検出し、3.0 A (min)で過電流保護がかかります。過電流保護がかかると、スイッチングは OFF され、SS 端子容量がディスチャージされます。
- (10) ソフトスタート回路部
起動時の電流に制限をかけながら緩やかに出力電圧が立ち上がるため、出力電圧のオーバーシュートや突入電流を防ぐことができます。

3. アプリケーション部品選定方法

(1) 出力 LC フィルター定数 (Buck Converter)

DC/DC コンバータでは、負荷に連続的な電流を供給するために、出力電圧の平滑化用の LC フィルターが必要になります。インダクタンス値の大きなコイルを選択すると、コイルに流れるリップル電流 ΔI_L (脈動電流)が小さくなり、出力電圧に発生するリップル電圧が小さくなりますが、過渡応答特性・コイルの物理的サイズ・コスト等において不利です。インダクタンス値の小さなコイルを選択すると、過渡応答特性やコイルのサイズやコストにおいては有利になりますが、コイルのリップル電流が大きくなり、出力電圧におけるリップル電圧が大きくなるというトレードオフの関係になります。ここでは、コイルのリップル電流成分の大きさが、平均出力電流(平均コイル電流)の 20%~40%程度となるようにインダクタンス値を選定します。こうすることで、たいいていのアプリケーションにて良好な特性が得られます。

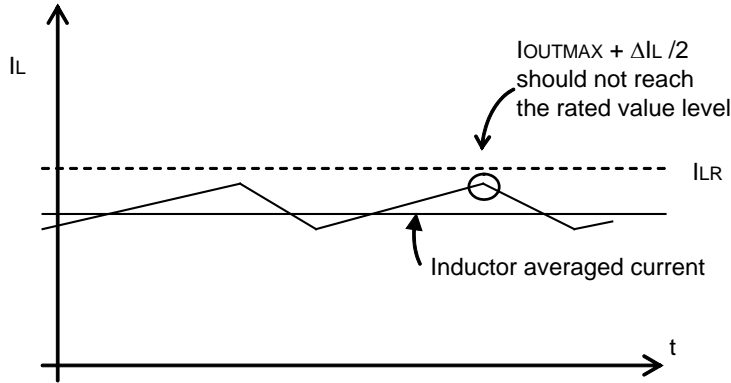


Figure 19

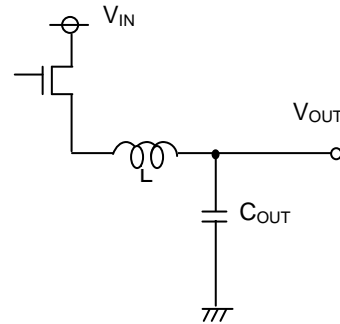


Figure 20

コイルリップル電流 $\Delta I_L = 30\% \times$ 平均出力電流 (2A) = 0.6 [A] とすると、インダクタンス L は、

$$L = V_{OUT} \times (V_{IN} - V_{OUT}) \times \frac{1}{V_{IN} \times f_{OSC} \times \Delta I_L} = 10\mu \quad [H]$$

ここで $V_{IN} = 12V$, $V_{OUT} = 3.3V$, $f_{OSC} = 380 \text{ kHz}$,

f_{OSC} はスイッチング周波数
と計算されます。

また、使用するコイルの飽和電流は、最大出力電流にコイルリップル電流 ΔI_L の半分を足し合わせた電流よりも大きいものを選択してください。

出力キャパシタ C_{OUT} は、出力リップル電圧特性に影響を与えます。必要とされるリップル電圧特性を満たせるように出力キャパシタ C_{OUT} を選定してください。

出力リップル電圧は以下の式にて算出できます。

$$\Delta V_{RPL} = \Delta I_L \times \left(R_{ESR} + \frac{1}{8 \times C_{OUT} \times f_{OSC}} \right) \quad [V]$$

ここで R_{ESR} は出力キャパシタの寄生抵抗成分

$C_{OUT} = 20\mu F$, $R_{ESR} = 10m\Omega$ とすると、出力リップル電圧は、

$$\Delta V_{RPL} = 0.6 \times (10m + 1/(8 \times 20\mu \times 380k)) = 15.8mV$$

と計算されます。

(2) 位相補償方法

電流モード制御の降圧 DC/DC コンバータは、エラーアンプと負荷によって形成される 2つのポールと、位相補償にて付加する 1つのゼロを持つ、2-pole 1zero システムとなります。それぞれのポール・ゼロの極点を適切に配置することで、良好な過渡負荷応答特性と安定性を確保します。一般的な DC/DC コンバータのボードプロット図を Figure 22 に示します。(a)点では、エラーアンプの出力インピーダンスと C_{CMP} 容量によって形成されるポールによってゲインが落ち始めます。その後、(b)点があるまでに、負荷によるポールをキャンセルするため、 R_{CMP} 抵抗と C_{CMP} 容量によって形成されるゼロを挿入し、ゲイン・位相の変動を相殺します。

次に、具体的な各定数の決定方法を説明します。

位相補償抵抗 R_{CMP} は、DC/DC コンバータのトータルループゲインが 0dB に落ちる時の周波数、クロスオーバー周波数 F_{CRS} を決定します。このクロスオーバー周波数 F_{CRS} を高く設定した場合、良好な過渡負荷応答特性が得られますが、安定性において不利になります。一方、クロスオーバー周波数 F_{CRS} を低く設定した場合は、非常に安定した特性になりますが、過渡負荷応答特性において劣ります。ここでは、クロスオーバー周波数 F_{CRS} をスイッチング周波数の 1/10 となるように定数を決定します。

(a) 位相補償抵抗 R_{CMP} の選定

位相補償抵抗 R_{CMP} は、次のような式にて求めることができます。

$$R_{CMP} = \frac{2\pi \times V_{OUT} \times f_{CRS} \times C_{OUT}}{V_{FB} \times G_{MP} \times G_{MA}} \quad [\Omega]$$

ここで

V_{OUT} ; 出力電圧, f_{CRS} ; クロスオーバー周波数, C_{OUT} ; 出力キャパシタ, V_{FB} ; フィードバック基準電圧 ($0.9V_{(TYP)}$), G_{MP} ; カレントセンスゲイン ($7.8A/V_{(TYP)}$), G_{MA} ; エラーアンプトランスコンダクタンス ($300\mu A/V_{(TYP)}$)

$V_{OUT}=3.3V$, $f_{CRS}=38kHz$, $C_{OUT}=20\mu F$ として上式に代入すると、

$$R_{CMP} = \frac{2\pi \times 3.3 \times 38k \times 20\mu}{0.9 \times 7.8 \times 300\mu} = 7482.5 \approx 7.5k \quad [\Omega]$$

と計算されます。

(b) 位相補償容量 C_{CMP} の選定

DC/DC コンバータを安定動作させるために、負荷によって形成されるポールによる位相遅れをキャンセルするゼロ(位相進み)を、位相補償容量 C_{CMP} にて決定します。

クロスオーバー周波数の 1/6 の位置にゼロを挿入することで、多くの場合良好な特性が得られます。

位相補償容量 C_{CMP} は、次のような式にて求めることができます。

$$\text{Compensation Capacitor } C_{CMP} = \frac{1}{2\pi \times R_{CMP} \times fz} \quad [F]$$

ここで、 fz ; 挿入されるゼロ点 $fz = f_{CRS}/6 = 6.3kHz$ として上式に代入すると、

$$\text{Compensation Capacitor } C_{CMP} = \frac{1}{2\pi \times R_{CMP} \times 6.3k} = 3.368 \times 10^{-9} \approx 3.3 \times 10^{-9} \quad [F]$$

と計算されます。

(最適なゼロ点位置・クロスオーバー周波数はアプリケーションによっても異なります。上式にて定数決定後、実機による最終確認をお願いします。)

(c) トータルループ安定性について

DC/DC コンバータの安定性を確保するため、十分な位相マージンを持っていることを実機にて確認してください。ワースト条件において、最低 30° 以上の位相マージンを確保することを推奨します。また、フィードフォワードキャパシタ C_{RUP} は、 R_{UP} 抵抗と共にゼロを形成し、その限られた周波数領域において位相マージンを押し上げる用途で使われます。また、 C_{RUP} は、 R_{UP} 抵抗値が $R_{UP} \parallel R_{DW}$ 抵抗値よりも大きい場合により効果的となります。

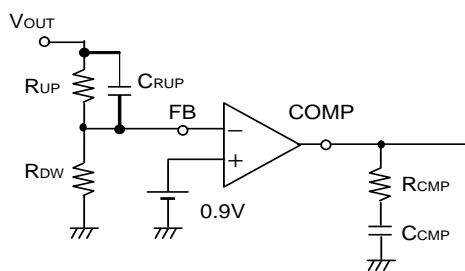


Figure 21

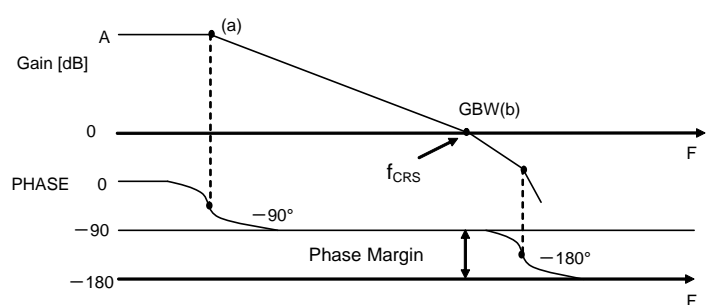


Figure 22

(3) 出力電圧設定

フィードバック抵抗比によって出力電圧値が設定されます。

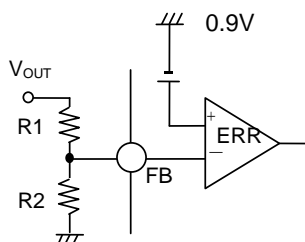


Figure 23

$$V_{OUT} = \frac{R_1 + R_2}{R_2} \times 0.9 \quad [V]$$

4. ソフトスタート機能

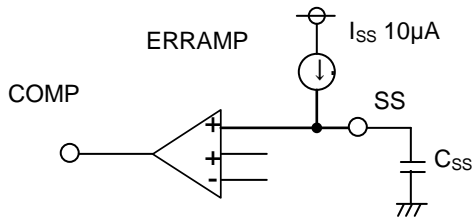


Figure 24

ラッシュカレント・オーバーシュートを防止すソフトスタート機能を設定します。ソフトスタート時間は、SS 端子に外付けされたキャパシタによって設定されます。ソフトスタート時間は、以下の式にて求められます。

$$t_{SS} [s] = 2.2 \times C_{SS} / I_{SS}$$

起動開始までの時間

$$t_{SS1} [s] = 0.6 \times C_{SS} / I_{SS}$$

起動中の時間

$$t_{SS2} [s] = 1.6 \times C_{SS} / I_{SS}$$

ここで $C_{SS}=0.1\mu\text{F}$ とすると

$$t_{SS} [s] = (0.6 + 1.6) \times 0.1\mu / 10\mu = 22 \quad [ms]$$

にて出力が立ち上がります。

5. イネーブル機能

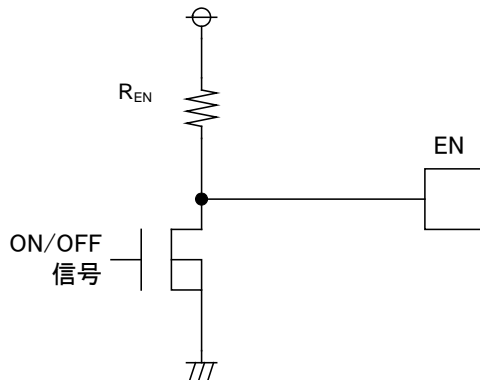
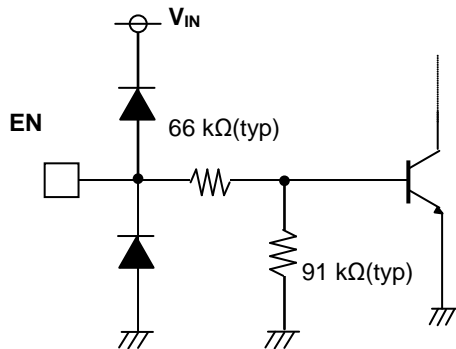


Figure 25

EN 端子に印加される電圧によって、IC のシャットダウンをコントロールできます。

動作を開始させるためには、EN 端子を VIN 端子へ接続するか、あるいは EN 端子に電圧を印加してください。EN 端子の電圧が 1.2V(typ)を超えた時、動作を開始します。EN 端子をオープンにすると、内部抵抗によってプルダウンされているため、非動作モードとなります。

(注意)

EN 端子の立ち下げ時におきまして、立ち下げ速度が遅いとチャタリングを起こします。出力電圧が残った状態でチャタリング動作を行いますと、出力側から入力側へと昇圧動作を行う逆流電流が発生し破壊に至るケースがあります。

EN 信号にて ON/OFF 制御を行う場合は 100us 以内に立ち下げするように設定ください。EN 端子を VIN に接続し EN 制御を行わない場合は、この必要はありません。

左図に示すようなオープンドレイン MOS による制御を推奨します。

6. レイアウトパターン設計について

ステップダウン DC/DC コンバータでは、パルス状の大電流が 2 つのループを流れます。

1 つ目のループは、上の FET が ON している時に流れるループで、入力キャパシタ C_{IN} より始まり、FET、インダクタ L、出力キャパシタ C_{OUT} を通り、 C_{OUT} の GND から C_{IN} の GND へとかえります。

2 つ目のループは、下の FET が ON している時に流れるループで、下の FET より始まり、インダクタ L、出力キャパシタ C_{OUT} を通り C_{OUT} の GND から下の FET の GND へとかえります。

これら 2 つのループをできるだけ太く短くトレースすることで、ノイズを減らし、効率を上げることができます。特に入力キャパシタ、出力キャパシタは GND プレーンに接続することをお勧めします。

PCB レイアウトによって、DC/DC コンバータは、その発熱・ノイズ・効率特性全てに大きな影響を与えます。そのため、PCB レイアウトを設計する際には、以下に挙げる点を特に注意して設計してください。

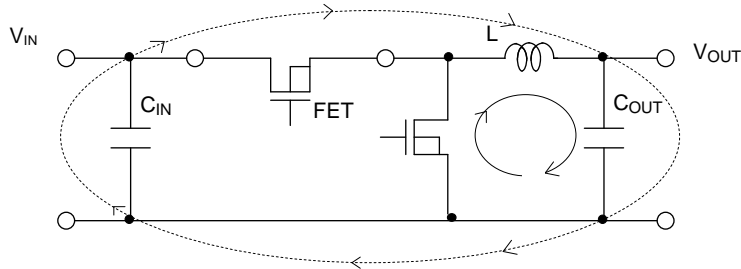


Figure 26. Current Loop in Buck Regulator System

- (1) IC 裏面のサーマル PAD は、IC の SUB 基板と高い 熱伝導率で結合されています。そのため、できるだけ大きな GND プレーンに接続することで、発熱を抑えることができます。
- (2) 入力キャパシタは、IC の VIN 端子のできるだけ近くに配置してください。
- (3) PCB 上に使用していないエリアがある場合は、IC や周辺部品の放熱を助けるため、GND、 V_{IN} 、 V_{OUT} などの DC ノードの銅箔プレーンを配置してください。
- (4) SW 等のスイッチングラインは、他ラインとの AC 結合によるノイズの影響が懸念されるため、できるだけ引きのばさず、コイルに太く短くトレースしてください。
- (5) FB,COMP につながるラインは、ノイズラインである SW のトレースとはできるだけ離してください。
- (6) コイル、出力キャパシタは IC の SW 端子のできるだけ近くに配置してください。

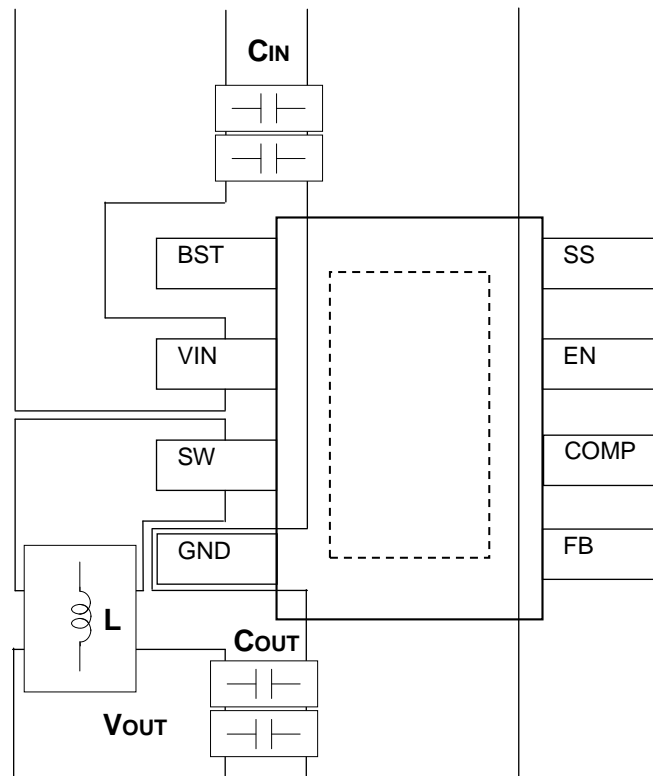


Figure 27. The example of PCB Layout Pattern

入出力等価回路図

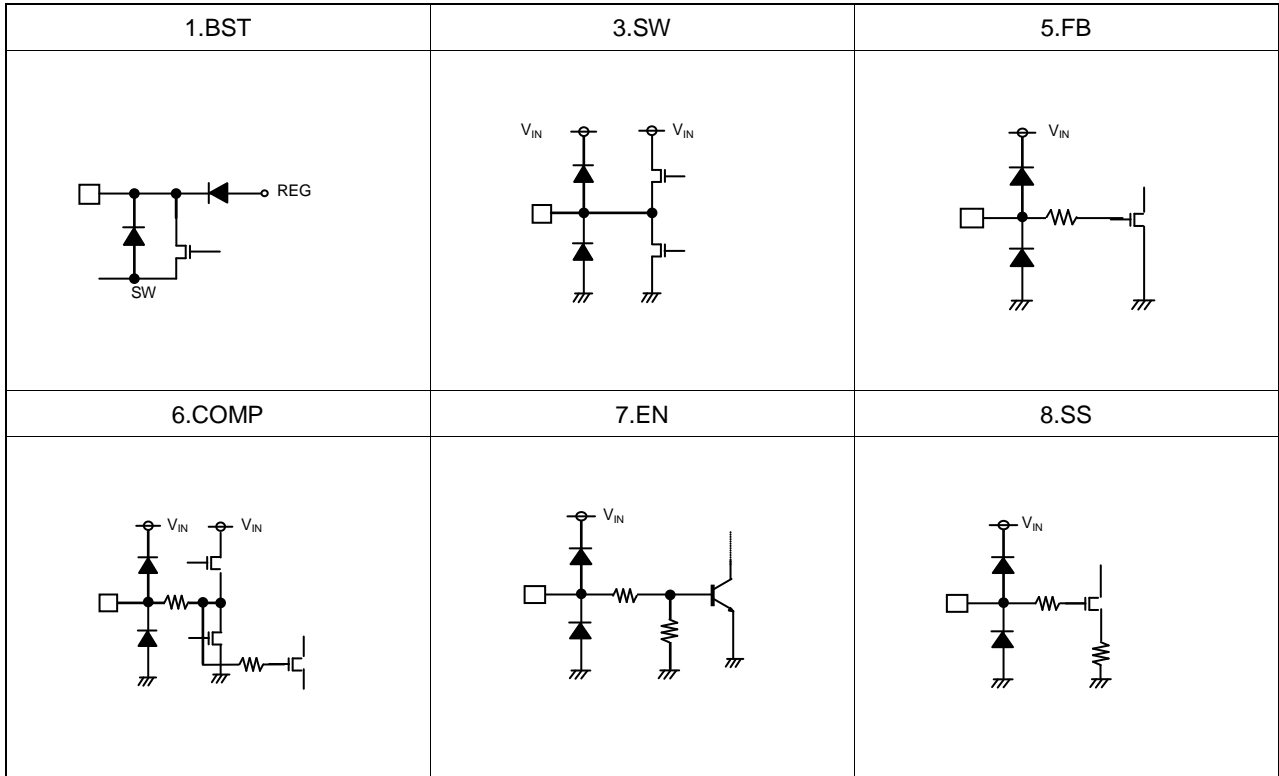
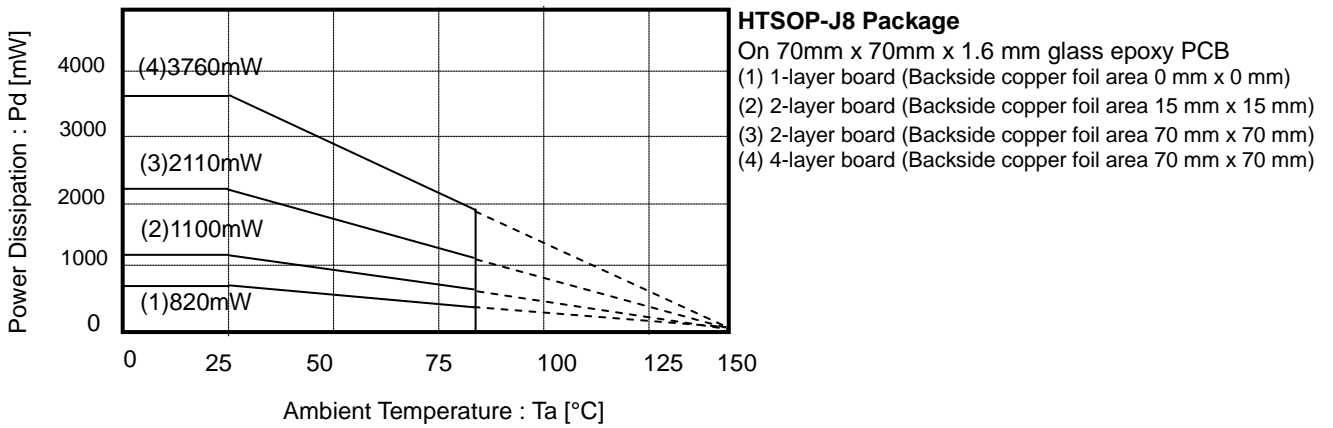


Figure 28. I/O 入出力等価回路図

熱損失について



使用上の注意**1. 電源の逆接続について**

電源コネクタの逆接続により LSI が破壊する恐れがあります。逆接続破壊保護用として外部に電源と LSI の電源端子間にダイオードを入れる等の対策を施してください。

2. 電源ラインについて

基板パターン設計においては、電源ラインの配線は、低インピーダンスになるようにしてください。その際、デジタル系電源とアナログ系電源は、それらが同電位であっても、デジタル系電源パターンとアナログ系電源パターンは分離し、配線パターンの共通インピーダンスによるアナログ電源へのデジタル・ノイズの回り込みを抑制してください。グラウンドラインについても、同様のパターン設計を考慮してください。

また、LSI のすべての電源端子について電源-グラウンド端子間にコンデンサを挿入するとともに、電解コンデンサ使用の際は、低温で容量ぬげが起こることなど使用するコンデンサの諸特性に問題ないことを十分ご確認のうえ、定数を決定してください。

3. グラウンド電位について

グラウンド端子の電位はいかなる動作状態においても、最低電位になるようにしてください。また実際に過渡現象を含め、グラウンド端子以外のすべての端子がグラウンド以下の電圧にならないようにしてください。

4. グラウンド配線パターンについて

小信号グラウンドと大電流グラウンドがある場合、大電流グラウンドパターンと小信号グラウンドパターンは分離し、パターン配線の抵抗分と大電流による電圧変化が小信号グラウンドの電圧を変化させないように、セットの基準点で 1 点アースすることを推奨します。外付け部品のグラウンドの配線パターンも変動しないよう注意してください。グラウンドラインの配線は、低インピーダンスになるようにしてください。

5. 熱設計について

万一、許容損失を超えるようなご使用をされますと、チップ温度上昇により、IC 本来の性質を悪化させることにつながります。本仕様書の絶対最大定格に記載しています許容損失は、70mm x 70mm x 1.6mm ガラスエポキシ基板実装時、放熱板なし時の値であり、これを超える場合は基板サイズを大きくする、放熱用銅箔面積を大きくする、放熱板を使用する等の対策をして、許容損失を超えないようにしてください。

6. 推奨動作条件について

この範囲であればほぼ期待通りの特性を得ることが出来る範囲です。電気特性については各項目の条件下において保証されるものです。

7. ラッシュカレントについて

IC 内部論理回路は、電源投入時に論理不定状態で、瞬間的にラッシュカレントが流れる場合がありますので、電源カップリング容量や電源、グラウンドパターン配線の幅、引き回しに注意してください。

8. 強電磁界中の動作について

強電磁界中でのご使用では、まれに誤動作する可能性がありますのでご注意ください。

9. セット基板での検査について

セット基板での検査時に、インピーダンスの低いピンにコンデンサを接続する場合は、IC にストレスがかかる恐れがあるので、1 工程ごとに必ず放電を行ってください。静電気対策として、組立工程にはアースを施し、運搬や保存の際には十分ご注意ください。また、検査工程での治具への接続をする際には必ず電源を OFF にしてから接続し、電源を OFF にしてから取り外してください。

10. 端子間ショートと誤装着について

プリント基板に取り付ける際、IC の向きや位置ずれに十分注意してください。誤って取り付けた場合、IC が破壊する恐れがあります。また、出力と電源及びグラウンド間、出力間に異物が入るなどしてショートした場合についても破壊の恐れがあります。

使用上の注意 — 続き

11. 未使用の入力端子の処理について

CMOS トランジスタの入力は非常にインピーダンスが高く、入力端子をオープンにすることで論理不定の状態になります。これにより内部の論理ゲートの p チャンネル、n チャンネルトランジスタが導通状態となり、不要な電源電流が流れます。また 論理不定により、想定外の動作をすることがあります。よって、未使用の端子は特に仕様書上でうたわれていない限り、適切な電源、もしくはグラウンドに接続するようにしてください。

12. 各入力端子について

本 IC はモノリシック IC であり、各素子間に素子分離のための P+アイソレーションと、P 基板を有しています。この P 層と各素子の N 層とで P-N 接合が形成され、各種の寄生素子が構成されます。

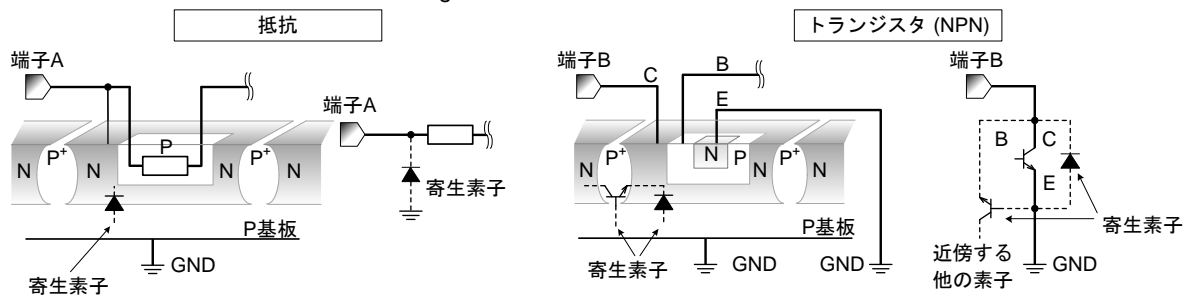
例えば、下図のように、抵抗とトランジスタが端子と接続されている場合、

○抵抗では、 $GND > (\text{端子 A})$ の時、トランジスタ(NPN)では $GND > (\text{端子 B})$ の時、P-N 接合が寄生ダイオードとして動作します。

○また、トランジスタ(NPN)では、 $GND > (\text{端子 B})$ の時、前述の寄生ダイオードと近接する他の素子の N 層によって寄生の NPN トランジスタが動作します。

IC の構造上、寄生素子は電位関係によって必然的にできます。寄生素子が動作することにより、回路動作の干渉を引き起こし、誤動作、ひいては破壊の原因ともなり得ます。したがって、入出力端子に GND (P 基板)より低い電圧を印加するなど、寄生素子が動作するような使い方をしないよう十分に注意してください。アプリケーションにおいて電源端子と各端子電圧が逆になった場合、内部回路または素子を損傷する可能性があります。例えば、外付けコンデンサに電荷がチャージされた状態で、電源端子が GND にショートされた場合などです。また、電源端子直列に逆流防止のダイオードもしくは各端子と電源端子間にバイパスのダイオードを挿入することを推奨します。

Figure 29. モノリシック IC 構造例



13. 温度保護回路について

IC を熱破壊から防ぐための温度保護回路を内蔵しております。許容損失範囲内でご使用いただきますが、万が一許容損失を超えた状態が継続すると、チップ温度 T_j が上昇し温度保護回路が動作し出力パワー素子が OFF します。その後チップ温度 T_j が低下すると回路は自動で復帰します。なお、温度保護回路は絶対最大定格を超えた状態での動作となりますので、温度保護回路を使用したセット設計等は、絶対に避けてください。

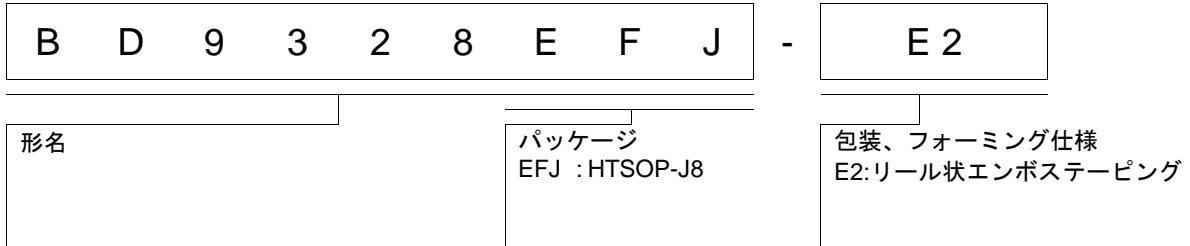
14. 過電流保護回路について

出力には電流能力に応じた過電流保護回路が内部に内蔵されているため、負荷ショート時には IC 破壊を防止しますが、この保護回路は突発的な事故による破壊防止に有効なもので、連続的な保護回路動作、過渡時でのご使用に対応するものではありません。

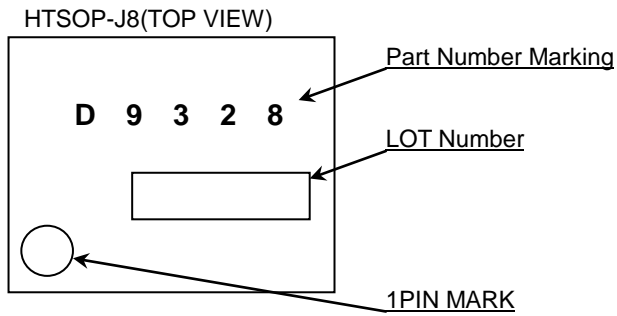
15. EN 端子の立ち下げ速度について

EN 端子の立ち下げによって OFF 制御を行う場合、立ち下げ速度が遅いとチャタリングを起こす場合があります。出力電圧が残った状態でチャタリングがおきますと、出力端子から入力端子へ逆電流が発生し破壊に至るケースがありますので、EN 信号は $100\mu\text{s}$ 以内に立ち下げるよう設定ください。

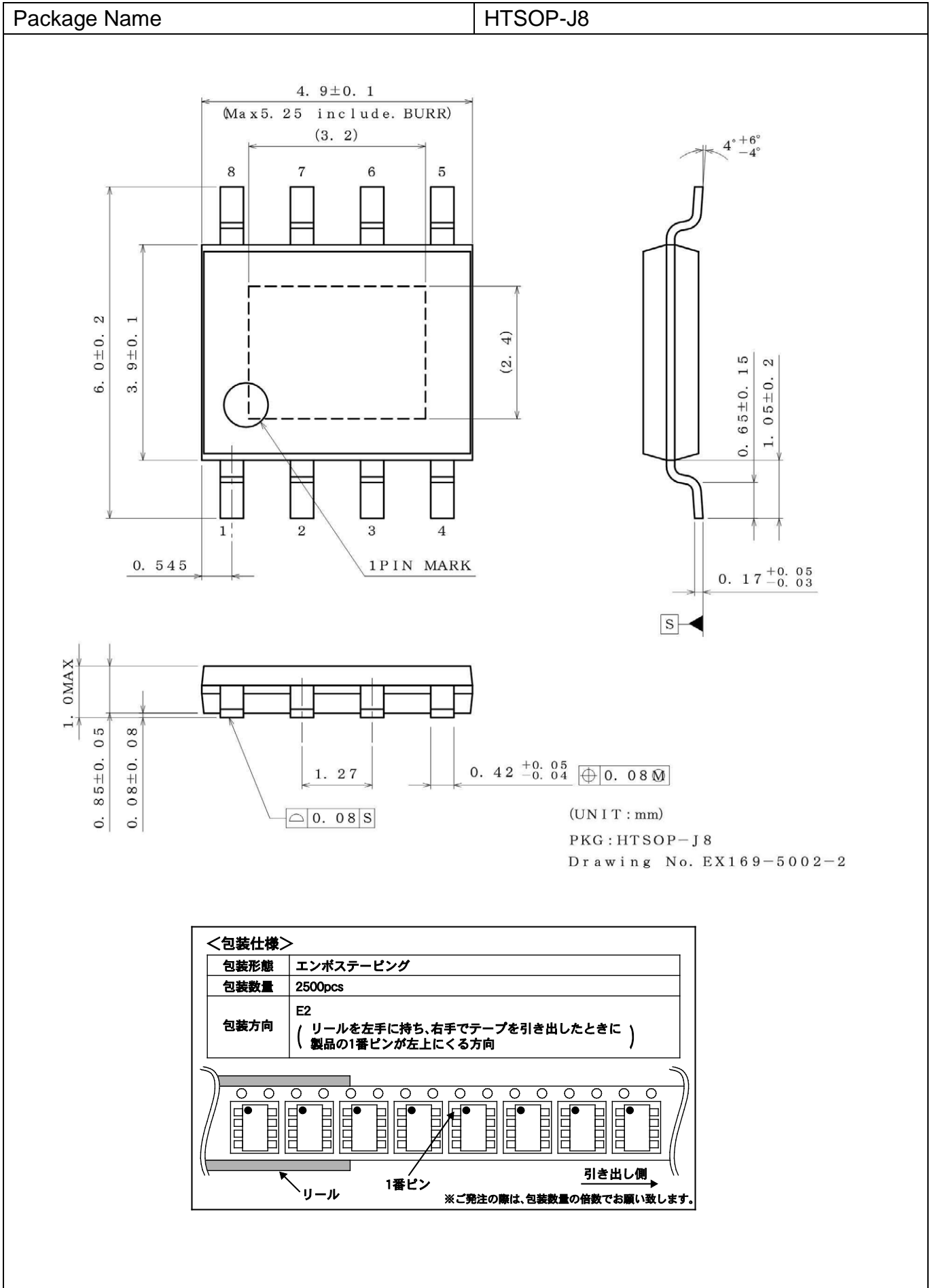
発注形名情報



標印図



外形寸法図と包装・フォーミング仕様



改訂履歴

日付	Revision	改定内容
2012.04.11	001	新規作成
2014.09.05	002	フォーマット変更による全面改訂（ただし記述内容については変更なし）

ご注意

ローム製品取扱い上の注意事項

1. 本製品は一般的な電子機器（AV 機器、OA 機器、通信機器、家電製品、アミューズメント機器等）への使用を意図して設計・製造されております。従いまして、極めて高度な信頼性が要求され、その故障や誤動作が人の生命、身体への危険若しくは損害、又はその他の重大な損害の発生に関わるような機器又は装置（医療機器^(Note 1)、輸送機器、交通機器、航空宇宙機器、原子力制御装置、燃料制御、カーアクセサリを含む車載機器、各種安全装置等）（以下「特定用途」という）への本製品のご使用を検討される際は事前にローム営業窓口までご相談くださいますようお願い致します。ロームの文書による事前の承諾を得ることなく、特定用途に本製品を使用したことによりお客様又は第三者に生じた損害等に関し、ロームは一切その責任を負いません。

(Note 1) 特定用途となる医療機器分類

日本	USA	EU	中国
CLASS III	CLASS III	CLASS II b	Ⅲ類
CLASS IV		CLASS III	

2. 半導体製品は一定の確率で誤動作や故障が生じる場合があります。万が一、かかる誤動作や故障が生じた場合であっても、本製品の不具合により、人の生命、身体、財産への危険又は損害が生じないように、お客様の責任において次の例に示すようなフェールセーフ設計など安全対策をお願い致します。
 - ①保護回路及び保護装置を設けてシステムとしての安全性を確保する。
 - ②冗長回路等を設けて単一故障では危険が生じないようにシステムとしての安全を確保する。
3. 本製品は、一般的な電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記に例示するような特殊環境での使用を配慮した設計はなされておられません。従いまして、下記のような特殊環境での本製品のご使用に関し、ロームは一切その責任を負いません。本製品を下記のような特殊環境でご使用される際は、お客様におかれまして十分に性能、信頼性等をご確認ください。
 - ①水・油・薬液・有機溶剤等の液体中でのご使用
 - ②直射日光・屋外暴露、塵埃中でのご使用
 - ③潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所でのご使用
 - ④静電気や電磁波の強い環境でのご使用
 - ⑤発熱部品に近接した取付け及び当製品に近接してビニール配線等、可燃物を配置する場合。
 - ⑥本製品を樹脂等で封止、コーティングしてのご使用。
 - ⑦はんだ付けの後に洗浄を行わない場合(無洗浄タイプのフラックスを使用された場合も、残渣の洗浄は確実にを行うことをお勧め致します)、又ははんだ付け後のフラックス洗浄に水又は水溶性洗浄剤をご使用の場合。
 - ⑧本製品が結露するような場所でのご使用。
4. 本製品は耐放射線設計はなされておられません。
5. 本製品単体品の評価では予測できない症状・事態を確認するためにも、本製品のご使用にあたってはお客様製品に実装された状態での評価及び確認をお願い致します。
6. パルス等の過渡的な負荷（短時間での大きな負荷）が加わる場合は、お客様製品に本製品を実装した状態で必ずその評価及び確認の実施をお願い致します。また、定常時での負荷条件において定格電力以上の負荷を印加されますと、本製品の性能又は信頼性が損なわれるおそれがあるため必ず定格電力以下でご使用ください。
7. 許容損失(Pd)は周囲温度(Ta)に合わせてディレーティングしてください。また、密閉された環境下でご使用の場合は、必ず温度測定を行い、ディレーティングカーブ範囲内であることをご確認ください。
8. 使用温度は納入仕様書に記載の温度範囲内であることをご確認ください。
9. 本資料の記載内容を逸脱して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いません。

実装及び基板設計上の注意事項

1. ハロゲン系（塩素系、臭素系等）の活性度の高いフラックスを使用する場合、フラックスの残渣により本製品の性能又は信頼性への影響が考えられますので、事前にお客様にてご確認ください。
2. はんだ付けはリフローはんだを原則とさせていただきます。なお、フロー方法でのご使用につきましては別途ロームまでお問い合わせください。詳細な実装及び基板設計上の注意事項につきましては別途、ロームの実装仕様書をご確認ください。

応用回路、外付け回路等に関する注意事項

1. 本製品の外付け回路定数を変更してご使用になる際は静特性のみならず、過渡特性も含め外付け部品及び本製品のバラツキ等を考慮して十分なマージンをみて決定してください。
2. 本資料に記載された応用回路例やその定数などの情報は、本製品の標準的な動作や使い方を説明するためのもので、実際に使用する機器での動作を保証するものではありません。従いまして、お客様の機器の設計において、回路やその定数及びこれらに関連する情報を使用する場合には、外部諸条件を考慮し、お客様の判断と責任において行ってください。これらの使用に起因しお客様又は第三者に生じた損害に関し、ロームは一切その責任を負いません。

静電気に対する注意事項

本製品は静電気に対して敏感な製品であり、静電放電等により破壊することがあります。取り扱い時や工程での実装時、保管時において静電気対策を実施の上、絶対最大定格以上の過電圧等が印加されないようにご使用ください。特に乾燥環境下では静電気が発生しやすくなるため、十分な静電対策を実施ください。(人体及び設備のアース、帯電物からの隔離、イオナイザの設置、摩擦防止、温湿度管理、はんだごてのこて先のアース等)

保管・運搬上の注意事項

1. 本製品を下記の環境又は条件で保管されますと性能劣化やはんだ付け性等の性能に影響を与えるおそれがありますのでこのような環境及び条件での保管は避けてください。
 - ①潮風、Cl₂、H₂S、NH₃、SO₂、NO₂等の腐食性ガスの多い場所での保管
 - ②推奨温度、湿度以外での保管
 - ③直射日光や結露する場所での保管
 - ④強い静電気が発生している場所での保管
2. ロームの推奨保管条件下におきましても、推奨保管期限を経過した製品は、はんだ付け性に影響を与える可能性があります。推奨保管期限を経過した製品は、はんだ付け性を確認した上でご使用頂くことを推奨します。
3. 本製品の運搬、保管の際は梱包箱を正しい向き（梱包箱に表示されている天面方向）で取り扱ってください。天面方向が遵守されずに梱包箱を落下させた場合、製品端子に過度なストレスが印加され、端子曲がり等の不具合が発生する危険があります。
4. 防湿梱包を開封した後は、規定時間内にご使用ください。規定時間を経過した場合はベーク処置を行った上でご使用ください。

製品ラベルに関する注意事項

本製品に貼付されている製品ラベルにQRコードが印字されていますが、QRコードはロームの社内管理のみを目的としたものです。

製品廃棄上の注意事項

本製品を廃棄する際は、専門の産業廃棄物処理業者にて、適切な処置をしてください。

外国為替及び外国貿易法に関する注意事項

本製品は外国為替及び外国貿易法に定める規制貨物等に該当するおそれがありますので輸出する場合には、ロームにお問い合わせください。

知的財産権に関する注意事項

1. 本資料に記載された本製品に関する応用回路例、情報及び諸データは、あくまでも一例を示すものであり、これらに関する第三者の知的財産権及びその他の権利について権利侵害がないことを保証するものではありません。従いまして、上記第三者の知的財産権侵害の責任、及び本製品の使用により発生するその他の責任に関し、ロームは一切その責任を負いません。
2. ロームは、本製品又は本資料に記載された情報について、ローム若しくは第三者が所有又は管理している知的財産権その他の権利の実施又は利用を、明示的にも黙示的にも、お客様に許諾するものではありません。

その他の注意事項

1. 本資料の全部又は一部をロームの文書による事前の承諾を得ることなく転載又は複製することを固くお断り致します。
2. 本製品をロームの文書による事前の承諾を得ることなく、分解、改造、改変、複製等しないでください。
3. 本製品又は本資料に記載された技術情報を、大量破壊兵器の開発等の目的、軍事利用、あるいはその他軍事用途目的で使用しないでください。
4. 本資料に記載されている社名及び製品名等の固有名詞は、ローム、ローム関係会社若しくは第三者の商標又は登録商標です。

一般的な注意事項

1. 本製品をご使用になる前に、本資料をよく読み、その内容を十分に理解されるようお願い致します。本資料に記載される注意事項に反して本製品をご使用されたことによって生じた不具合、故障及び事故に関し、ロームは一切その責任を負いませんのでご注意願います。
2. 本資料に記載の内容は、本資料発行時点のものであり、予告なく変更することがあります。本製品のご購入及びご使用に際しては、事前にローム営業窓口で最新の情報をご確認ください。
3. ロームは本資料に記載されている情報は誤りがないことを保証するものではありません。万が一、本資料に記載された情報の誤りによりお客様又は第三者に損害が生じた場合においても、ロームは一切その責任を負いません。